This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000113025 A

(43) Date of publication of application: 21.04.00

(51) Int. CI

G06F 17/50 H01L 21/82

(21) Application number: 10288314

(22) Date of filing: 09.10.98

(71) Applicant:

FUJITSU LTD

(72) Inventor:

ISHII YUJI

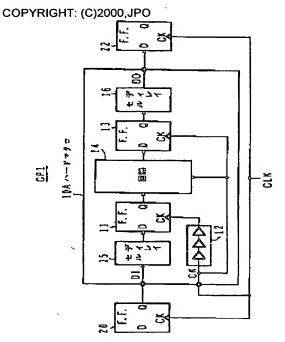
KAWAGUCHI KUNIHIKO

(54) HARD MACRO PREPARING METHOD, SEMICONDUCTOR CHIP DESIGNING METHOD, AND RECORDING MEDIUM

(57) Abstract:

PROBLEM TO BE SOLVED: To more simplify a design which uses a hard macro.

SOLUTION: The input/output AC characteristics of the hard macro are previously specified, delay cells 15 and 16 are respectively provided on the input side and output side in the hard macro, and the signal propagation delay time of delay cells 15 and 16 is determined so as to satisfy this specification. This specification is made to satisfy such condition not to generate any timing error at D flip-flops 11 and 22 at the time of commonly supplying a clock CLK to the D flip-flops 20 and 22 and a clock input terminal CK of a hard macro 10A by arranging the D flip-flops 20 and 22 outside the hard macro 10A, directly connecting a data output terminal Q of the D flip-flop 20 to a data input terminal DI of the hard macro 10A and directly connecting a data input terminal D of the D flip-flop 22 to a data output terminal DO of the hard macro 10A.



特開2000-113025 (11)特許出版公開番号

(P2000-113025A)

(43)公開日 平成12年4月21日(2000.4.21) デーマコート"(参考) 5B046 5F064 656D 15/60 21/82 G08F H01L

GO 6 F 17/50 HO 1 L 21/82

(51) Int CL.

審査請求 未請求 請求項の数16 〇1. (全 10 頁)

The state of the s			
(21)出四路号	特 國平10-288314	(71) 出國人	(71) 出國人 000005223
			富士通株式会社
(22) 出版日	平成10年10月9日(1998,10.9)		神奈川県川崎市中原区上小田中4丁目1番
			1号
		(72)発明者	石井 勇治
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	川口 邦衛
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
:		(74)代理人	(74)代理人 100092587
			井理士 松本 咸吉
·		下ターム(事	Fターム(参考) 58046 AA08 BA05 BA06 DA05 JA01

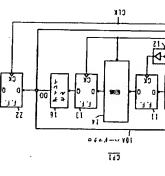
[54] 【発明の名称】 ハードマクロ作成方法、半導体チップ設計方法及び記録媒体

(57) [要約]

【解決手段】ハードマクロの人用力AC特性を予め規定 しんだき、ヘードシクロ内の人力包及び三力回にそれが れディレイセル15及び16を備え、この規定を満たす ようにディレイセルしる及び16の信号伝搬運延時間を タ人力端Dを直接ハードマクロ10のデータ出力端DO に校校しDフリップフロップ 2 0 及び 2 2 並びにハード シクロ10のクロック入力猶CKへ共通にクロックCL 定める。この規定は、ハードマクロ10の外部にDフリ ップスロップ20及び22を配置しDフリップフロップ 20のデータ出力端のを直接ハードマクロ10のデータ 人力端DIに接続し且のDフリップフロップ 2 3のデー 「戦略」 ハードマクロを用いた設計をより簡単化する。

半導体チップ上に配置された図1のハードマクロ及び その付近の回路を示す概略図

SF064 BB19 EE47 EE54 HH12



444

Kを供給したときにDフリップフロップ1 1 及び2 2 に

おいてタイミングエラーが生じないという条件を満たす

ようにする。

÷.

(特許指表の適用)

え、波データ人力端が、直接又は組合せ同路を介して内 部国切型フリップフロップのデータ人力強に接続されて [讲水項1] データ人力階及びクロック人力器を備 いるハードマクロの作成方法において、

人力端に供給される信号のエッジ時点との時間間隔を規 **該クロック人力端に供給される信号のアクティブエッジ** 時点と、波時点に対応した、波ハードマクロの波データ

タ人力猫との間にディレイセルを接続する、ことを特徴 抜規定を満たす場合に該内部同期型フリップフロップで タイミングエラーが生じないように扱ハードマクロの液 データ人力強と该内部同期型フリップフロップの該デー とするハードマクロ作成方法。

ドマクロ作成方法。

え、該データ人力端が、直接又は組合せ回路を介して内 **船垣期型フリップフロップのデータ人力端に接続されて** 【辞求項2】 データ入力端及びクロック入力端を備 いるハードックロの作成方法において、 数クロック人力強に供給される信号のアクティブエッジ 時点と、波時点に対応した、波ハードマクロの波データ 人力端に供給される信号のエッジ時点との時間間隔を規 該規定を満たす場合に該内部同期型フリップフロップで タイミングエラーが生じないように抜ハードマクロの該 クロック入力端にディレイセルを接続する、ことを特徴

【請求項3】 上記ハードマクロの外部に同期型フリッ 一ヶ川力端を直接波へードマクロの該データ人力端に接 統し酸外部同期型フリップフロップ及び酸ハードマクロ 上記タイミングエラーが生じないように上記時間関係を ブフロップを配置し該外部同期型フリップフロップのデ のクロック人力端へ共通にクロックを供給したときに、 とするハードマクロ作成方法。

ことを特徴とする語水項1又は2記載のハードマクロ作

え、孩子一夕川力端が、直接又は組合せ同路を介して内 部国期型フリップフロップのデータ用力端に接続されて 【讃求項4】 データ川力端及びクロック人力端を偏 いるハードマクロの作成方法において、

出力端での信号のエッジ時点との時間間隔を規定してお 数クロック人力端に供給される信号のアクティブエッジ 時点と、眩時点に対応した、該ハードマクロの該データ

後規定を満たすように該ハードマクロの該データ出力端 と該内部同期型フリップフロップの該データ川力端との 間にディレイセルを接続する、

ータ人力端を直接該ハードマクロの該データ出力端に接 上記ハードマクロの外部に同期型フリッ プフロップを配置し該外部同期型フリップフロップのデ ことを特徴とするハードマクロ作成方法。 [指水瓜5]

该外部同期型フリップフロップでタイミングエラーが生 続し該外部同期型フリップフロップ及び該ハードックロ のクロック人力端へ共通にクロックを供給したときに、 じないように上記時間間隔を定める、

ことを特徴とする消水項4記載のハードャクロ作成が

一トを育するものを用いることを特徴とする請求項1乃 【請求項7】 上記ディレイセルとして配線を用い、該 【游水項6】 上記ディレイセルとして運延パッファゲ 配線の及さにより上記信号伝做遊延時間を定めることを 陸徴とする顔水頂1 万五 5のいずれか1 のに記載のハー 至るのいずれかしつに記載のハードマクロ作成方法。

上記ディレイセルとして選延バッファゲ 一ト及びこれに接続された配線を用い、該配線の長さに より上記信号伝搬運延時間を微調整することを特徴とす る語水項1万至5のいずれか1つに記載のハードンクロ 温水瓜8] 作成方法。

ク人力端を備え、該データ人力端が、直接又は第1組合 組合せ同路を介して内部第2回期型フリップフロップの データ出力端に接続されているハードマクロの作成方法 データ人力強、データ出力強及びクロッ タ人力端に接続され、該データ出力場が、直接又は第2 七回路を介して内部第1回期型フリップフロップのデ 【诗水坻 9】 において、 **家クロック人力語に供給される信号のアクティブ**コッジ 人力端に供給される信号のエッジ時点との第1時間間隔 時点と、波時点に対応した、波ハードマクロの液データ を規定しておき、 該規定を満たす場合に該内部第1同期型フリップフロッ プでタイミングエラーが生じないように扱ハードマクロ の孩データ人力強と该内部宣棋型フリップフロップの接 データ人力強との間に第1ディレイセルを接続し、

該ハードマクロの該クロック人力端に供給される信号の アクティブエッジ時点と、弦時点に対応した、弦パード マクロの孩子一ヶ田力階での信号のエッジ時点

との第2時間開隔を規定しておき、該規定を満たすよう に该内部第2回類型フリップフロップの該データ川力器 と该ハードマクロの孩データ川力猫との間に第2ディレ 「セルを拡続する、

のデータ川力端に接続されているハードマクロの作成方 【清水頂10】 データ人力端、データ川力端及びクロ ック入力端を備え、該データ入力端が、直接又は第1組 一タ人力端に接続され、孩データ川力端が、直接又は第 2 組合せ回路を介して内部第2間期型フリップフロップ **介セ厄路を介して込ぎ第1回基型フリップフロップのデ** ことを特徴とするハードマクロ作成方法。

波クロック人力場に供給される信号のアクティブエッジ 時点と、鞍時点に対応した、嵌ハードマクロの鞍データ

だにおいて、

ව

ල

人力端に供給される信号のエッジ時点との第1時間間隔 を規定しておき

数規定を満たす場合に採内部第1回加盟フリップフロッ アでタイミングエラーが生じないように扱く一ドマクロ の疑えロック人力猶と疑内部第1111世型フリップフロッ ブのグロック人力強との間に第1ディレイセルを接続

アクティブエッジ時点と、該時点に対応した、該ハード 扱ハードマクロの弦クロック人力端に供給される信号の マクロの孩子一ヶ川力強での信号のエッジ時点との第2 時間開稿を規定しておき

アの孩データ川力増と扱ハードマクロの孩データ川力場 該規定を満たすように該内部第2同期型フリップフロッ との間に第2ディレイセルを接続する、

ことを特徴とするハードマクロ作成方法。

リップフロップのデータ出力端を直接扱ハードマクロの ップのデータ人力端を直接該ハードマクロの該データ川 力権に接続し該外部第1及び第2回加型フリップフロッ [讃水項11] 上記ハードマクロの外部に第1及び第 该データ人 力端に接続し該外部第2回期型フリッププロ ア英ぴに扱く一ドマクロのクロック人力強へ共通にクロ ックを供給したときに、上記タイミングエラーが生じな いように上記第1時間間隔を定め、且つ、該第2回期型 フリップフロップにおいてタイミングエラーが生じない 2 阿斯型フリップフロップを配限し該外部第1 阿斯型フ ように上記第2時間間隔を定める、

こどを特徴とする請求項9又は10記載のハードマクロ

【讃永頃12】 上記第1及び第2ディレイセルとして 逐延バッファゲートを有するものを用いることを特徴と する游水項9 万五11のいずれか1つに記載のハードマ 7 口作成方法。 【讲水項13】 上記第1及び第2ディレイセルとして 配線を用い、該配線の長さにより上記信号伝搬運延時間 を定めることを特徴とする請求項9乃至11のいずれか 「つに記載のハードマクロ作成方法。

【請永頃14】 上記第1及び第2ディレイセルとして 政和線の長さにより上記信号伝敬運延時間を微調整する ことを特徴とする崩水項9乃至11のいずれか1つに記 遅延バッファゲート及びこれに接続された配線を用い、 数のハードマクロ作成方法。

【請求項15】 請求項1乃至14のいずれか1つに記 数の方法で作成されたハードマクロを用いて半導体チッ ブ散計を行う、

ことを特徴とする半導体チップ設計方法。

【籍末項16】 請求項1乃至14のいずれか1つに記 截の方法で作成されたハードマクロの構成を表すデータ が記録されていることを特徴とする記録媒体。

[発明の詳細な説明] [000]

されたハードマクロを用いる半導体チップ設計方法及び [発明の属する技術分野] 本発明は、半導体チップ設計 で用いられるハードマクロの作成方法、この方法で作成 該ハードマクロの構成を表すデータが記録されている記 **詠媒体に関する。**

[0002]

[従来の技術] ハードマクロは、所型の機能を有し最適 役計が行われ固定されたマスクパターンを備えた回路モ ジュールであり、記憶装置内のセルライブラリに登録さ れ、半導体チップ設計段階でそのまま部品として使用さ れる。ユーザは、ハードマクロをセルライブラリ中の他 のセルと同様に取り扱うことができ、ハードマクロを半 導体チップ設計で採用することにより、半導体チップの 輪理設計、輪理検証、回路合成及びレイアウト設計を傾 略化することが可能となり、設計工数を大幅に削減する ことが期待できる。

【0003】 図1は、従来のハードマクロ10の艮体例 が示す磁路回路図である。

【0004】 ハードマクロ10のデータ入力端口1は口 フリップフロップ 11のデータ人力端Dに接続され、ハ ードマクロ10のクロック人力端CKはバッファゲート 1.2を介してDフリップフロップ1.1のクロック人力端 CKに接続されている。ハードマクロ10のデータ出力 端DOはDフリップフロップ 13のデータ出力端Qに接 続され、Dフリップフロップ 13のクロック入力端CK はハードングロ100クロック入力語CKに被銃されて ドマクロ10が所望の機能を果たすための回路14が接 いる。Dフリップフロップ11と13との間には、ハー 続されてる。回路14は、クロックC1.Kに同期し又は 同期セずに動作する。

[0005] 図8は、このハードマクロ10を用いて半 算体チップCP0上に設計された同路の一部を示す図で

グ調整が行われている。しかし、ハードマクロ10を作 【0006】 ハードャクロ10の兄弟では形にタイミン 成する段階ではハードマクロ10にどのような回路が接 続されるか不明ある。そこで、半導体チップ役計におい てハードンクロ10を採用した場合には、ハードシクロ 10とその外部回路との間でタイミング調整を行う必要

ロ100データ人力端D1と0間にディレイセル21が セル23が接続されている。ハードマクロ10、Dフリ Dフリップフロップ 2000データ出力端のとハードマク 接続され、ハードマクロ10のデータ出力端DOとDプ リップフロップ 2 2のデータ人力端口との間にディレイ ップフロップ20及び22のクロック入力端CKには、 [0007] 図8では、このタイミング調整のために、 7ロックCLKが共通に供給されている。

[発明が解決しようとする課題] 従来のハードマクロ1

0 は、外部AC特性につき明確な規定を設けて設計され ていなかったので、このようなハードンクロ10を用い て設計すると、チップレイアウト設計後のタイミングマ イアウトを行っていのタイミングコラーを無くする作款 ージンチェックにおいて、ハードマクロ10の人川力付 のため、レイアウト設計後にディレイセルの挿人や片レ 近でタイミングエラーが発生する可能性が高かった。こ が発生し、設計時間が長くなる原因となっていた。

み、ハードマクロを用いた設計をより簡単化することが 可能なハードマクロ作成方法、半導体チップ設計方法及 【0009】本発明の目的は、このような問題点に鑑 び記録媒体を提供することにある。

[00100]

【媒題を解決するための手段及びその作用効果】請求項 一タ入力端が、直接又は組合せ回路を介して内部同期型 ドマクロの作成方法において、該クロック入力増に供給 される信号のアクティブエッジ時点と、該時点に対応し エラーが生じないように該ハードマクロの該データ人力 1 では、データ入力端及びクロック入力端を備え、該デ た、該ハードマクロの該データ人力端に供給される信号 のエッジ時点との時間間隔を規定しておき、該規定を満 たす場合に該内部宣析型フリップフロップでタイミング 猫と該内部同期型フリップフロップの該データ人力端と フリップフロップのデータ入力端に接続されているハー の間にディワイセルを接続する。

てユーザが半導体チップ設計を行うことにより、ハード マクロのデータ人力端と外部同路との間に、ディレイセ ルを挿入する必要がなくなり又は所定の選延時間を持っ というハードマクロ使用の利点が更に高められ、設計期 【0011】この方法で作成されたハードンクロを用い たディレイセルを挿入すればよく、設計が簡略化される 聞をより短縮することが可能となる。

と、波時点に対応した、波ハードックロの波データ人力、 ロック人力端に供給される信号のアクティブエッジ時点 端に供給される信号のエッジ時点との時間間隔を規定し 【0012】 語水項2では、データ人力端及びクロック 人力端を備え、該データ人力端が、直接又は組合せ回路 を介して内部国加型フリップフロップのデータ人力強に 接続されているハードマクロの作成方法において、該ク ておき、該規定を満たす場合に該内部同期型フリップフ ロップでタイミングエラーが生じないように扱ハードマ 【0013】この方法で作成されたハードマクロを用い クロの波クロック人力端にディレイセルを接続する。

というハードマクロ使用の利点が更に高められ、設計期 てユーザが半導体チップ設計を行うことにより、ハード マクロのデータ人力端と外部回路との聞に、ディレイセ ルを挿入する必要がなくなり又は所定の遅延時間を持っ たディレイセルを挿入すればよく、設計が簡略化される 間をより短縮することが可能となる。

【0014】請求項3のハードマクロ作成方法では、請

ップのデータ川力端を直接波パードマクロの波データ人 **永項1又は2において、上記ハードマクロの外部に同期** 型フリップフロップを配置し該外部同期型フリップフロ ドマクロのクロック人力強へ共通にクロックを供給した ときに、上記タイミングエラーが生じないように上記時 り端に接続し液外部同期型フリッププロップ及び波パー 問問隔を定める。

ハードマクロ使用の利点がより一層高められ、設計期間 にユーザが半導体チップ設計を行うことにより、ハード 【0015】この方法で作成されたハードマクロを用い **シクロのデータ人力強と外害回路との配にディレイセル** を挿入する必要がなくなり、設計が開略化されるという をより短縮することが可能となる。

ロック人力端に供給される信号のアクティブエッジ時点 該規定を満たすように該ハードマクロの該データ出力端 【0016】請求項4では、データ出力端及びクロック 人力端を備え、該データ出力端が、直接又は組合セ回路 接続されているハードマクロの作成方法において、該ク と、波時点に対応した、波ハードマクロの波データ川力 と該内部同類型フリップフロップの該データ用力端との を介して内部国基型フリップフロップのデータ出力強に 猫での信号のエッジ時点との時間間隔を規定しておき、 間にディレイセルを接続する。

マクロのデータ出力端と外部回路との間に、ディレイセ ルを挿入する必要がなくなり又は所定の選延時間を持っ たディレイセルを挿入すればよく、設計が開略化される というハードマクロ使用の利点が更に高められ、設計期 【0017】この方法で作成されたハードックロを用い てユーザが半導体チップ設計を行うことにより、ハード 間をより知銘することが可能となる。 【0018】請水頂5のハードマクロ作成力法では、譲 ップフロップを配置し該外部回棋型フリップフロップの 接続し該外部同期型フリップフロップ及び接ハードック 水頂4において、上記ハードマクロの外部に同期型フリ データ人力端を直接数パードマクロの数データ出力端に に、該外部同期型フリップフロップでタイミングエラー ロのクロック人力端へ共通にクロックを供給したとき が生じないように上記時間開稿を定める。

てユーザが半導体チップ設計を行うことにより、ハード マクロのデータ出力強と外部回路との間にディレイセル ハードマクロ使用の利点がより 一種高められ、設計期間 【0019】この方法で作成されたハードマクロを用い を挿入する必要がなくなり、設計が簡略化されるという をより短縮することが可能となる。

【0020】 苗水項6のハードマクロ作成方法では、請 水項1 乃至5のいずれか1 つにおいて、上記ディレイセ ルとして遅延バッファゲートを有するものを用いる。

【0021】 請永頃7のハードマクロ作成方法では、請 ルとして配線を用い、該配線の及さにより上記信号伝搬 **水頂1 乃至5のいずれか1 のにおいて、上記ディレイセ**

9

速延時間を定める。

【6022】1のパードラクロ存成がおによれば、毛嚢及を置割することにより、タイミングラーグンが大きへなるようにディレイカルの通路範囲を鑑置割することがあるため、これたので通路範囲を鑑置割することが 具葉したる。

[0023] 海水道8のハードックの作成が芯には、消水道1万至5のいずれか1つにおいて、上記ディレイセルとして遅速パッフッグート及びこれに接続された配線を用い、誘角線の及ぎにより上記は号伝燈道暗閘巻筒

【のの21】このハードックロ作成力法によれば、比較的知い 無線の反さを望むすることにより、クイミングマージンが大きくなるようにディレイセルの遅延時間を領鍵することが可能となる。

42.

温及びクロック人力端を備え、該データ入力端が、直接 ロの作成方法において、弦クロック入力端に供給される 信号のアクティブエッジ時点と、故時点に対応した、該 ハードマクロの孩データ人力端に供給される信号のエッ グエラーが生じないように該ハードマクロの該データ人 【0025】 甜水頂 9 では、データ入力端、データ川力 又は第1組合せ回路を介して内部第1回加型フリップフ 直接又は第2組合せ同路を介して内部第2同期型フリッ デフロップのデータ出力端に接続されているハードマク ジ時点との第1時間開隔を規定しておき、該規定を満た す場合に該内部第1同期型フリップフロップでタイミン 力温と波内部同期型フリップフロップの数データ人力温 との間に第1ディレイセルを接続し、波ハードックロの **扱クロック人力端に供給される信号のアクティブエッジ** 別力温での信号のエッジ時点との第2時間開隔を規定し **におき、玻規定を満たすように該内部第2回期型フリッ** 時点と、鞍時点に対応した、該ハードマクロの該データ パフロップの設データ出力踏と扱ハードマクロの該デー ロップのデータ人力端に接続され、孩データ川力端が、 9川力強との間に第2ディレイセルを接続する。

○026]この方法で作成されたペードックロを用いてユーザが半導体チップ設計を行うことにより、ペードペクロのデータ 大田力強と外部回路との間に、ディフィセルを挿入する必要がなくなり文は所近の運通時間を持ったイイイイをを挿入すればよく、設計が随路にされるというペードックロ使用の利点が実に高められ、設計學問表とり短端することが可能となる。

[0027] 静水項10では、データ人力端、データ旧 力端及びクロック入力端を備え、減データ人力端が、直 接又は第1単合せの形を介して内部第1同期型フリップ フロップのデータ人力端に接続され、減データ旧力端 が、直接又は第2組合中同路を介して内部第2同期型フリップフロップのデータ出力端に接続されているハードマクロの作成力法において、減クロック入力端に供給さ、れる信号のアクティブエッジ時点と、減時点に対応し

た、該ハードマクロの該データ人力端に供給される信号

のエッジ時点との第1時間開発を規定しておき、減損に を選たす場合に接合部第1回型型フリップフロップでカイミングエラーが生じないように減ペードマクロの波》 ロック人力強とが再でまれるに減ペードマクロの波》 ロック人力強との間に第1万イアイセルを投続し、波ペードマクロの波》ロック人力端に供給される信号のアクティブエッジ時点に、波ペードマクロの溶データ出力端に供給される信号のアクティブエッジ時点に、液ペードマのの溶データ出力端での行号のエッジ時点との第2時間間隔を規定しておき、波規定を満たすように溶内部第3回回型フリップフロップの波データ出力縮と減へ一ドマクロの液データ出力縮との間に第2ディレイセルを接続 【のの28】この方法で作成されたハードックロを用いてユーザが半導体チップ設計を行うことにより、ハードックロのデータ入出力強と外部回路との間に、ディレイセルを挿入する必要がなくなり又は所定の遅延距間を持ったディレイセルを挿入すればよく、設計が簡略化されるというハードックロ使用の利点が更に高められ、設計問題をより顕落することが「能となる。

【0029】 請米項11のハードマクロ作成力法では、 請米項9又は10において、上記ハードマクロの外部に 第1及び第2回期型フリップフロップを配置し該外部第 1 同期型フリップフロップのデータ出力機を直接該ハー ドマクロの送データ人力端に接続し該外部第2回期型フリップフロップのデータ人力端に接続し該外部第2回期型フリップフロップのデータ人力端を直接該ハードマクロの 級データ出力端に接続し該外部第1及び第2回期型フリップフロップが形に接入上ドマクロのクロック人力端を直接がハードマクロの 地面にクロックを供給したときに、上記タイミングエラーが生じないように上記第1時間開展を定め、出つ、該等2回期型フリルブフロップにおいてタイミングエラーが生じないように上記第1時間開展を定める。

【のの3の】この方法で作成されたハードックロを用いてユーザが半導体チップ設計を行うことにより、ハードックロのデータ人間力端と外部回路との間にディレイセルを挿入する必要がなくなり、設計が簡略にされるというハードックロ使用の利点がより、適高められ、設計期間をより短縮することが可能となる。

【0031】 請永頃 12のハードックロ作成方法では、 請永預 9 乃五 1 1のいずれか 1 つにおいて、上記第 1 及 び第 2 ディレイセルとして運延パッファゲートを有する ものを用いる。 【0032】 甜米頂13のハードックロ作成力法では、 甜米項9乃五11のいずれか10において、上記第1及 び第2ディレイセルとして配線を用い、減乱線の長さに より上記は55倍度道径時間を定める。

[0033] 油水項14のハードックの作成力法では、 湖水項9万至11のいずれか1つにおいて、上記第1及 び第2アイレイセルとして遅延パッファゲート及びこれ に接続された配線を用い、減配線の及さにより上記信号 伝物連延時間を微調数する。

【0034】 静水項 | 5の半導体チップ設計方法では、 静水頂 | 乃至 | 100 いれれか | つに記載の方法で作成されたペードックロを用いて半導体チップ設計を行う。

| 0 0 3 5 | 湖水頃 1 6 の記録媒体では、湖水頃 1 万三 | 1 4 0 いずれか 1 つに記載の J 法で作成されたハードマッロの構成を式すデータ が記録されている。

[0036] [発明の実施の形態]以下、図面に基ろいて本発明の実

高売額を設置する。 [0037] 第1株高赤鏡]図1は、ペードングロ10Aの数略解成を示す回認めためる。図1と同一構成取様には、這一部のかはしたいる。 【0038】ハードックロ10Aでは、そのデータ人力 踏D1とDフリップフロップ11のデータ人力結Dとの 断にディレイセル15が接続され、ハードックロ10A のデータ出力結DCDフリップフロップ13のデータ 出力端Qとの間にディレイセル16が接続されている。 他の点は、図7のハードックロ10と同一である。

[0039] ハードマクロ10Aの人出力AC特殊を予め規定しておく、すなわち、ハードマクロ10のクロック人が適CKに保給されるクロックのアクティブエッジの最近 (本実施形態では立たがり時点)と、これに対応した、データ人が適D1の信号のエッジ時点との時間間 顧問 (図3(B) 中のTA)を予め規定しておく。例えば、この時間間隔間を、クロックは形に対してさな所で、他、具体的にはのに規定しておく。回接に、ハードマクロ10のクロック人が過CKに保管されるクロックのアクティブエッジ時点との時間開展 (図4(B)中のTB)を予め規定しておく。例えば、この時間開発所(図4(B)中のTB)を予め規定しておく。例えば、この時間開発所が、フロックのTB)を予め規定しておく。例えば、この時間開発的を、クロックの可B)を予め規定しておく。例えば、この時間開発的を、クロックは関が10nsの場合に3nsに規定しておく。

【のの4の】このパードックロ1のAは、内部AC辞権が原現された、仮レイアウト後の回路に対し、この規定を置たサイレイセル・5及び16をエソジニアリングチェソン処理などにおいて挿入することにより作成される。

つ: 【0041】図2は、半導体チップCP1上に配置され イントドックロ10A及びその付近の回路を示す概略図 コナン 【0042】上記規定が満たされる場合に、以下の条件が満たされるようにする。後書すれば、この条件が満たされるように上記時間開係が規定される。

[0043] ハードックロ10Aの外部にDフリップフロップ20を配因し、Dフリップフロップ20のデータ用力端Qとハードックロ10Aのデータ人力端D1との間を配線で直結し、ハードックロ10及びDフリップフロップ20のクロック入力端CKへ共通にクロックC1.Kを供給したときに、ハードックロ10A内のDフリップフロップ11の入力においてタイミングエラーが生じ

ないように、すなわち、ロフリップフロップ20のデータ出り猶Qとハードックロ10Aのデータ人力適口160部にコーザがディレイカルを狡殺しなくたもタイミングエリーが生じないようにする。

特開 小12-113025

[0044]図3 (A)は、ディレイセル15の権政密及びそのは近の国路を示す。このディレイセル15の選通時間は、運命パッファゲートの選組権権とその機能設施額関数により完まる。

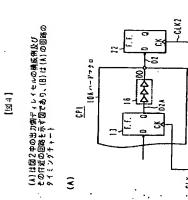
[0045] 図3(B)は、ディレイセル」5をごのように接続した場合にDフリップフロップ | 10データ人 り通り及びタロック人力強CKに保給される信号D | 10 びCLK | 00 タイミング米びにDフリップフロップ 20 のデータ出力強 Q での信号D | Aを示しており、セット アップタイム T S の条件 T S < T | 及びボールドタイム T H の条件 T H < T 2 が満たされている。 T S 及びT H は、製造プロセスの試る つきや値度変動などによっても タイミングエラーが生じないように来流されている。 (T 1 - T S)がセットアップタイムのタイミングマー ジンでもり、(T 2 - T H)がホールドタイムのタイミングマージンでもり、(T 2 - T H)がホールドかイムのタイミングマー

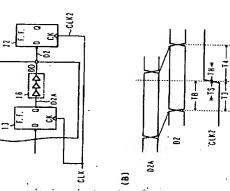
け大きくなるようにした力が好ましい。 【0046】上記条件を満たすためのDフリップフロップ プ20のデータ出り端Qとハードマクロ10Aのデータ 人力端D1との間の転線の抵抗及び各生容量の範囲が予 か定められており、ユーザはこれに基づいて設計を行 【0047】なお、上池時間開始のは、Dフリップフロップ20の信号伝播時間及びDフリップフロップ20のデアとのデアロップ20のデータ用力端Qからハードックロ10のデータ人力強DIまでの信号伝播時間を無視したことに担当する。

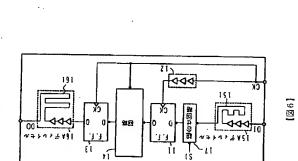
[0050] 図4 (B) は、ディレイセル16やこのように接続した場合にDフリップフロップ22のデータ人が組D及びクロック入力端CKに供給される信号D2及びCLK2のタイミング表現にDフリップフロップ 13のデータ出力端Qでの信号D2Aのタイミングを示して

本発明の第2実施形能のハードマクロの 概略構成を示す回路図

[図5]

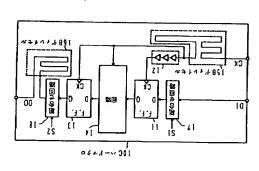






108 -- 1290





(××)

図7のハードマクロを用いて半導体チップ上に設計された 回路の一部を示す図